

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-209508

(P2000-209508A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl.⁷

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

テーマコード(参考)

P 5 C 0 2 4

E

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21)出願番号

特願平11-10597

(22)出願日

平成11年1月19日(1999.1.19)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮 川 良 平

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム(参考) 5C024 AA01 CA03 CA08 FA01 GA01

GA26 GA31 GA41 HA09 HA10

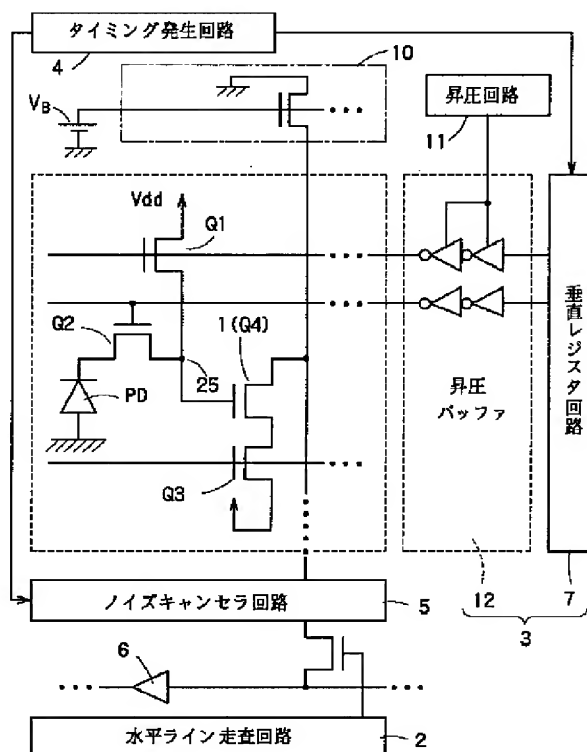
HA18 JA04

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 残像やブルーミングのない高性能の固体撮像装置を提供する。

【解決手段】 本発明の固体撮像装置は、画素ごとに設けられるフォトダイオードPDおよび画素アンプ1と、水平ライン走査回路2と、垂直ライン走査回路3と、タイミング発生回路4と、ノイズキャンセラ回路5と、読み出し回路6と、電源電圧を昇圧する昇圧回路11と、昇圧回路11で昇圧された電圧によりリセット用トランジスタQ1のゲート端子を駆動する昇圧バッファ12とを備える。ノイズキャンセラ回路5でリセットレベルを検出する前に、いったんリセット用トランジスタQ1のゲート端子に通常のオン電圧よりも高い電圧を供給してこのトランジスタQ1をオンさせるようにしたため、検出部25に蓄積されていた残留電荷をリセット用トランジスタQ1のドレイン端子を介して電源端子側に排出させることができ、リセットレベル検出時に残留電荷の影響を受けなくなる。



【特許請求の範囲】

【請求項1】 1列または複数列に配設された複数の光電変換素子と、

前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、

前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、

前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、

前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、

ブランキング期間内に、リセット状態での前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、

前記タイミング発生回路は、前記光電変換素子で光電変換された電荷に応じた信号が前記画素アンプから出力された後、同一のブランキング期間内に、前記転送ゲートおよび前記リセットゲートをともにオンさせることを特徴とする固体撮像装置。

【請求項2】 電源電圧を昇圧する昇圧回路を備え、前記タイミング発生回路は、前記転送ゲートおよび前記リセットゲートをともにオンさせる際、前記転送ゲートおよび前記リセットゲートの少なくとも一方を、前記昇圧回路を用いて生成した通常のオン電圧よりも高い電圧でオンさせることを特徴とする請求項1に記載の固体撮像装置。

【請求項3】 1列または複数列に配設された複数の光電変換素子と、

前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、

前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、

前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、

前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、

ブランキング期間内に、リセット状態での前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、

電源電圧を昇圧する昇圧回路を備え、

前記タイミング発生回路は、リセット状態での前記画素アンプの出力レベルを検出する前で、かつ同一のブラン

キング期間内に、前記昇圧回路を用いて生成した通常のオン電圧よりも高い電圧で前記リセットゲートをオンさせることを特徴とする固体撮像装置。

【請求項4】 1列または複数列に配設された複数の光電変換素子と、

前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、

前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、

前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、

前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、

ブランキング期間内に、リセット状態での前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、

電源電圧を昇圧する昇圧回路を備え、

前記タイミング発生回路は、前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルを検出する際、前記昇圧回路を用いて生成した通常のオン電圧よりも高い電圧で前記転送ゲートをオンさせることを特徴とする固体撮像装置。

【請求項5】 前記タイミング発生回路は、前記光電変換素子で光電変換された電荷に応じた信号が前記画素アンプから出力された後、同一のブランキング期間内に、前記転送ゲートおよび前記リセットゲートをともにオンさせることを特徴とする請求項3または4に記載の固体撮像装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、複数の光電変換素子が列設された固体撮像素子に関し、特に、複数種類の電圧を用いることなく電荷転送を行うことができるイメージセンサを対象とする。

【0002】

【従来の技術】 固体撮像装置には、代表的なものとして、転送ゲートに印加する電圧を順に切り換えて蓄積電荷の転送を行うCCDと、単一の電圧で蓄積電荷の転送を行うCMOSイメージセンサとがある。

【0003】 CMOSイメージセンサは、低電圧の単一電源で駆動でき、消費電力も少なく、また、駆動タイミング回路をオンチップ化できるため、カメラ等の携帯機器での利用が期待されている。

【0004】 図8は従来のCMOSイメージセンサの概略構成を示すブロック図である。図示のCMOSイメージセンサは、画素ごとにフォトダイオードPDと画素アンプ1を

備えており、この他に、水平方向に走査する水平ライン走査回路2と、垂直方向に走査する垂直ライン走査回路3と、これら走査回路2、3の動作タイミングを制御するタイミング発生回路4と、画素アンプ1の出力に含まれるノイズ成分を除去するノイズキャンセラ回路5と、読み出し回路6と、ロードトランジスタ10とを備える。

【0005】ロードトランジスタ10は画素列ごとに配列されており、選択された画素列の画素アンプ1とともに、ソースフォロワアンプを構成する。

【0006】不図示の光学レンズで集光された光は、図8のフォトダイオードPDに入力されて光電変換され、電荷（光生成電子）が生成される。この電荷は、フォトダイオードPDに一定期間貯められ、光量に応じてフォトダイオードPDの電圧を変化させる。この電圧信号は、画素アンプ1で増幅された後、ノイズキャンセラ回路5に入力されて固定パターン雑音が除去される。

【0007】固定パターン雑音が除去された信号は、ノイズキャンセラ回路5内で保持され、水平ライン走査回路2によって時系列に読み出され、画素アンプ1で増幅されて最終的な画素信号が得られる。

【0008】上述した固定パターン雑音とは、画素アンプ1の出力オフセットのばらつきにより生じる雑音であり、MOSトランジスタのしきい値電圧のばらつきにより発生するものである。

【0009】ノイズキャンセラ回路5は、画素信号のレベルとリセット直後の信号レベルとの差分をとることにより、固定パターン雑音を相殺する。

【0010】図9は従来のCMOSイメージセンサの動作タイミング図であり、図9の上から順に、水平同期信号（H-BLK）、リセット用トランジスタのゲート電圧（リセットゲート電圧）、転送用トランジスタのゲート電圧（転送ゲート電圧）、リセットホールド信号、画素信号ホールド信号のタイミング波形を示している。

【0011】図9のリセットホールド信号と画素信号ホールド信号は、ノイズキャンセラ回路5の内部で用いられる信号であり、リセットホールド信号がハイレベルの期間内にはリセット状態での画素アンプ1の出力レベルが保持され、画素信号ホールド信号がハイレベルの期間内にはフォトダイオードPDから出力された電荷に応じた画素アンプ1の出力レベルが保持される。

【0012】図8では、リセット用トランジスタと転送用トランジスタとともに省略しているが、これらトランジスタはフォトダイオードPDと画素アンプ1の間に接続される。すなわち、フォトダイオードPDのカソード端子に転送用トランジスタQ2のソース端子が接続され、転送用トランジスタQ2のドレイン端子はリセット用トランジスタQ1のソース端子に接続され、リセット用トランジスタQ1のドレイン端子には電源端子V_{dd}が印加される。また、転送用トランジスタQ2のドレイン

端子とリセット用トランジスタQ1のソース端子はともに、画素アンプ1を構成するトランジスタQ4のゲート端子に接続される。

【0013】また、ノイズキャンセラ回路5は、図9に波形を示すリセットホールド信号がハイレベルのときの画素アンプ1の出力レベルと、画素信号ホールド信号がハイレベルのときの画素アンプ1の出力レベルとを比較する。

【0014】図9の時刻T1でリセットが解除された後、時刻T2～T3の間に、ノイズキャンセラ回路5は、リセット時の信号レベルを保持する。次に、時刻T4になると、転送用トランジスタがオンになり、フォトダイオードPDで光電変換された電荷が画素アンプ1を介してノイズキャンセラ回路5に入力される。その後、時刻T6～T7の間に、ノイズキャンセラ回路5は、画素信号レベルを保持する。

【0015】

【発明が解決しようとする課題】従来のCMOSイメージセンサは、フォトダイオードPDに大量の電荷が蓄積されると、転送用トランジスタのオン期間中にすべての電荷を外部的に取り出すことができず、フォトダイオードPDに一部の電荷が残って残像が生じるという問題があった。また、フォトダイオードPDに強烈な光が入射すると、光電変換された電荷がフォトダイオードPDからあふれ、ブルーミングを引き起こすという問題もあった。

【0016】また、フォトダイオードPDから取り出された電荷は、画素アンプ1に入力される前に、いったん転送用トランジスタのゲート端子とリセット用トランジスタのゲート端子との間の検出部に蓄積される。フォトダイオードPDの感度をよくするには、フォトダイオードPDの容量が大きくて、検出部の容量が小さいのが望ましいが、このようにすると、フォトダイオードPDに蓄積された電荷をすべて取り出すことができなくなり、フォトダイオードPDに残留した電荷によって残像が生じてしまう。

【0017】本発明は、このような点に鑑みてなされたものであり、その目的は、素子の構造を複雑化することなく、残像やブルーミングのない高性能の固体撮像装置を提供することにある。

【0018】

【課題を解決するための手段】上述した課題を解決するために、本発明は、1列または複数列に配設された複数の光電変換素子と、前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、ブランキング期間内に、リセット状態で

の前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、前記タイミング発生回路は、前記光電変換素子で光電変換された電荷に応じた信号が前記画素アンプから出力された後、同一のブランキング期間内に、前記転送ゲートおよび前記リセットゲートをともにオンさせるものである。

【0019】また、本発明は、1列または複数列に配設された複数の光電変換素子と、前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、ブランキング期間内に、リセット状態での前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、電源電圧を昇圧する昇圧回路を備え、前記タイミング発生回路は、リセット状態での前記画素アンプの出力レベルを検出する前で、かつ同一のブランキング期間内に、前記昇圧回路を用いて生成した通常のオン電圧よりも高い電圧で前記リセットゲートをオンさせるものである。

【0020】また、本発明は、1列または複数列に配設された複数の光電変換素子と、前記複数の光電変換素子のそれぞれに対応して設けられ、対応する前記光電変換素子で光電変換された電荷を増幅する画素アンプと、前記光電変換素子で光電変換された電荷を前記画素アンプに転送する転送ゲートと、前記画素アンプの入力電圧を所定の電圧に初期設定するリセットゲートと、前記転送ゲートおよび前記リセットゲートのオン・オフを制御するタイミング発生回路と、ブランキング期間内に、リセット状態での前記画素アンプの出力レベルと前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルとの差分を検出することにより、前記画素アンプの出力に含まれるノイズ成分を除去するノイズキャンセラ回路と、を備えた固体撮像装置において、電源電圧を昇圧する昇圧回路を備え、前記タイミング発生回路は、前記光電変換素子で光電変換された電荷に応じた前記画素アンプの出力レベルを検出する際、前記昇圧回路を用いて生成した通常のオン電圧よりも高い電圧で前記転送ゲートをオンさせるものである。

【0021】

【発明の実施の形態】以下、本発明に係る固体撮像装置について、図面を参照しながら具体的に説明する。以下

では、固体撮像装置の一例として、CMOSイメージセンサについて説明する。

【0022】（第1の実施形態）図1はCMOSイメージセンサの第1の実施形態の概略構成を示すブロック図である。図1のCMOSイメージセンサは、図8に示した従来のCMOSイメージセンサと同様に、画素ごとにフォトダイオードPDと画素アンプ1を備えており、この他に、水平方向に走査する水平ライン走査回路2と、垂直方向に走査する垂直ライン走査回路3と、これら走査回路2、3の動作タイミングを制御するタイミング発生回路4と、画素アンプ1の出力に含まれるノイズ成分を除去するノイズキャンセラ回路5と、読み出し回路6と、ロードトランジスタ10とを備える。

【0023】ロードトランジスタ10は画素列ごとに配列されており、選択された画素列の画素アンプ1とともに、ソースフォロワアンプを構成する。

【0024】垂直ライン走査回路3内には、リセット用トランジスタQ1と、転送用トランジスタQ2と、選択用トランジスタQ3と、垂直レジスタ回路7とが設けられる。これらトランジスタQ1、Q2、Q3は、タイミング発生回路4からの信号により制御される。

【0025】また、本実施形態の垂直ライン走査回路3内には、図8に示した従来のCMOSイメージセンサになかった構成として、電源電圧を昇圧する昇圧回路11と、昇圧回路11で昇圧された電圧に基づいてリセット用トランジスタQ1のゲート端子を駆動する昇圧バッファ12とが設けられる。昇圧バッファ12の出力により、リセット用トランジスタQ1、転送用トランジスタQ2、および選択用トランジスタQ3のオン・オフが制御される。

【0026】昇圧バッファ12は、昇圧回路11で昇圧された電圧に依存する信号か、あるいは、通常の電源電圧Vddに依存する信号を出力する。

【0027】転送用トランジスタQ2のソース端子はフォトダイオードPDのカソード端子に接続され、転送用トランジスタQ2のドレイン端子はリセット用トランジスタQ1のソース端子に接続され、リセット用トランジスタQ1のドレイン端子には電源電圧Vddが印加される。また、転送用トランジスタQ2のドレイン端子とリセット用トランジスタQ1のソース端子はともに、画素アンプ1を構成するトランジスタQ4のゲート端子に接続される。このトランジスタQ4のソース端子はノイズキャンセラ回路5に接続され、そのドレイン端子は垂直ライン走査回路3によりそのゲート端子を駆動する選択用トランジスタQ3のソース端子に接続される。

【0028】図2は図1のCMOSイメージセンサの断面構造を模式的に示した図である。図示のように、フォトダイオードPDを構成するn領域21とp領域22が基板の内部に形成され、このフォトダイオードPDに近接する基板上面に、転送用トランジスタQ2のゲート領域

23が形成される。また、転送用トランジスタQ2のゲート領域23に近接する基板上面に、リセット用トランジスタQ1のゲート領域24が形成される。転送用トランジスタQ2のゲート領域23とリセット用トランジスタQ1のゲート領域24の間の基板表面付近には、拡散層からなる検出部25が形成される。この検出部25には、フォトダイオードPDから取り出した電荷が蓄積される。

【0029】図3は図1のCMOSイメージセンサの動作タイミング図、図4は図3に示す期間(1)~(5)内のCMOSイメージセンサの電位図であり、以下、これらの図を用いて本実施形態のCMOSイメージセンサの動作を説明する。なお、図4の電位図の縦軸は電位を表しており、この縦軸の下方ほど電位が高いことを示す。

【0030】水平有効期間が終了した後、図3の(1)の期間内に、タイミング発生回路4はリセット用トランジスタQ1をオンさせる。このとき、リセット用トランジスタQ1のゲート端子には、昇圧回路11で昇圧された電圧が供給される。昇圧電圧をリセット用トランジスタQ1のゲート端子に供給することにより、図4(a)に示すように、検出部25に蓄積されていた残留電荷をリセット用トランジスタQ1の電源端子を介して外部に排出することができ、検出部25には残留電荷が存在しなくなる。

【0031】その後、図3の(2)の期間内に、タイミング発生回路4はリセットホールド信号を出力し、この信号により、ノイズキャンセラ回路5はリセット時の信号レベルを保持する。図3の(1)の期間内に検出部25の残留電荷を除去しているため、ノイズキャンセラ回路5により保持されるリセット時の信号レベルは、残留電荷の影響を受けなくなり、信号レベルのばらつきが抑制される。この期間内の電位図は、図4(b)のようになる。

【0032】その後、図3の(3)の期間内に、タイミング発生回路4は転送用トランジスタQ2をオンさせる。これにより、図4(c)に示すように、フォトダイオードPDで光電変換された電荷は、転送用トランジスタQ2を通過して検出部25に蓄積される。

【0033】その後、図3の(4)の期間内に、タイミング発生回路4は画素信号ホールド信号を出力する。この信号により、ノイズキャンセラ回路5は、フォトダイオードPDで光電変換された電荷に応じた信号レベルを保持する。この期間内の電位図は、図4(d)のようになる。

【0034】その後、図3の(5)の期間内に、タイミング発生回路4は、リセット用トランジスタQ1と転送用トランジスタQ2をともにオンさせる。このとき、リセット用トランジスタQ1のゲート端子には、昇圧回路11で昇圧された電圧が供給される。これにより、図4(e)に示すように、フォトダイオードPDや検出部2

5に蓄積されていた残留電荷が転送用トランジスタQ2とリセット用トランジスタQ1の各ゲート端子を介して電源端子側に排出される。

【0035】このように、本実施形態は、ノイズキャンセラ回路5でリセットレベルを検出する前に、いったんリセット用トランジスタQ1のゲート端子に通常のオン電圧よりも高い電圧を供給してこのトランジスタQ1をオンさせるようにしたため、検出部25の電位が高くなる。このため、転送用トランジスタQ2をオンした場合に、より多くの光電変換された電荷をフォトダイオードPDから検出部25に転送することができる。したがって、フォトダイオードPDに残留電荷が残ることを防ぐことができる。

【0036】また、入射光量が多い場合には、図4(d)に示すように、フォトダイオードPDに電荷が残留してしまうが、この場合も、転送用トランジスタQ2をオンさせて画素信号の信号レベルを検出した後、転送用トランジスタQ2とリセット用トランジスタQ1の双方をオンさせるようにしたため、フォトダイオードPDと検出部25に蓄積されていた残留電荷を、リセット用トランジスタQ1のドレイン端子を介して電源端子側に排出させることができる。したがって、フォトダイオードPDに残留電荷が存在しなくなり、残像のない表示品質の高い画像が得られる。

【0037】(第2の実施形態)第2の実施形態は、昇圧回路11を設けずに、従来の構成のままで残留電荷をなくすものである。

【0038】図5は本発明に係るCMOSイメージセンサの第2の実施形態の概略構成を示すブロック図である。図5では、図1のCMOSイメージセンサと同一の構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0039】図5のCMOSイメージセンサは、昇圧回路11と昇圧バッファ12を持たない点を除いて、図1に示したCMOSイメージセンサとほぼ同様に構成される。

【0040】図6は図5のCMOSイメージセンサの動作タイミング図であり、以下、この図を用いて図5のCMOSイメージセンサの動作を説明する。第1の実施形態では、リセットホールド期間(図3の期間(2))の前に、いったんリセット用トランジスタQ1をオンさせていたが、本実施形態は、リセット用トランジスタQ1をオンさせる期間を持たない。

【0041】また、第1の実施形態では、信号ホールド期間(図3の期間(4))の後に、リセット用トランジスタQ1と転送用トランジスタQ2をほぼ同時に同期間だけオンさせていた(図3の期間(5))が、本実施形態は、リセット用トランジスタQ1と転送用トランジスタQ2をほぼ同時にオンさせる(図6の期間(4))点では同じであるが、リセット用トランジスタQ1はその後オンの状態を保持する。

【0042】この第2の実施形態においても、画素信号をホールドした後にリセット用トランジスタQ1と転送用トランジスタQ2を両方とも同時にオンさせるため、フォトダイオードPDと検出部25に蓄積されていた残留電荷をすべて、外部に排出させることができ、残像のない表示品質の高い画像が得られる。

【0043】（第3の実施形態）第3の実施形態は、第1の実施形態の変形例であり、フォトダイオードPDで光電変換された電荷を画素アンプ1に供給する際、転送用トランジスタQ2のゲート端子に通常のオン電圧よりも高い電圧を供給するものである。

【0044】第3の実施形態は、図1に示した第1の実施形態のCMOSイメージセンサとほぼ同じ構成であるが、転送用トランジスタQ2をオンする際にそのゲート端子に昇圧回路11で昇圧した電圧を供給する点で図1と異なる。

【0045】図7は第3の実施形態のCMOSイメージセンサの動作タイミング図である。図7のリセットホールド期間(1)が終了した後、期間(2)に転送用トランジスタQ2をオンさせて、フォトダイオードPDで光電変換された電荷を転送用トランジスタQ2を介して画素アンプ1に導く。このとき、通常のオン電圧よりも高い電圧を転送用トランジスタQ2のゲート端子に与える。これにより、フォトダイオードPDに蓄積されていた電荷のすべてを画素アンプ1側に転送させることができ、フォトダイオードPDの残留電荷すべてを排出することができる。

【0046】（その他の実施形態）図3では、期間(1)、(5)にそれぞれリセット用トランジスタQ1、転送用トランジスタQ2の各ゲート端子に昇圧電圧を供給する例を示したが、これら期間の少なくとも一方において、通常のオン電圧をゲート端子に供給してもよい。

【0047】また、第1の実施形態では、図3の期間(5)にリセット用トランジスタQ1と転送用トランジスタQ2の双方をオンさせているが、この期間を省略してもよい。

【0048】また、第2の実施形態では、通常のオン電圧でリセット用トランジスタQ1や転送用トランジスタQ2をオンさせているが、昇圧回路11で昇圧した電圧でリセット用トランジスタQ1や転送用トランジスタQ2をオンさせてもよい。

【0049】また、第1の実施形態において、水平有効期間中にリセット用トランジスタQ1をオフしてもよい。

【0050】

【発明の効果】以上詳細に説明したように、本発明によれば、光電変換素子で光電変換された電荷を読み出した

後に、転送ゲートとリセットゲートをともにオンさせるようにしたため、光電変換素子に蓄積された電荷をすべて外部に排出させることができ、光電変換素子の残留電荷がなくなって、残像のない表示品質の高い画像が得られる。したがって、光電変換素子に強烈な光が入射されたり、感度向上のために転送ゲートとリセットゲートの間の検出部の容量を小さくしても、ブルーミングや残像が起きなくなる。

【0051】また、本発明によれば、転送ゲートやリセットゲートをオンさせる際に、通常のオン電圧よりも高い電圧を転送ゲートやリセットゲートに供給するようにしたため、光電変換素子や検出部に蓄積された残留電荷を効率よく外部に排出することができる。

【図面の簡単な説明】

【図1】CMOSイメージセンサの第1の実施形態の概略構成を示すブロック図。

【図2】図1のCMOSイメージセンサの断面構造を模式的に示した図。

【図3】図1のCMOSイメージセンサの動作タイミング図。

【図4】図3に示す期間(1)～(5)内のCMOSイメージセンサの電位図。

【図5】CMOSイメージセンサの第2の実施形態の概略構成を示すブロック図。

【図6】図5のCMOSイメージセンサの動作タイミング図。

【図7】第3の実施形態のCMOSイメージセンサの動作タイミング図。

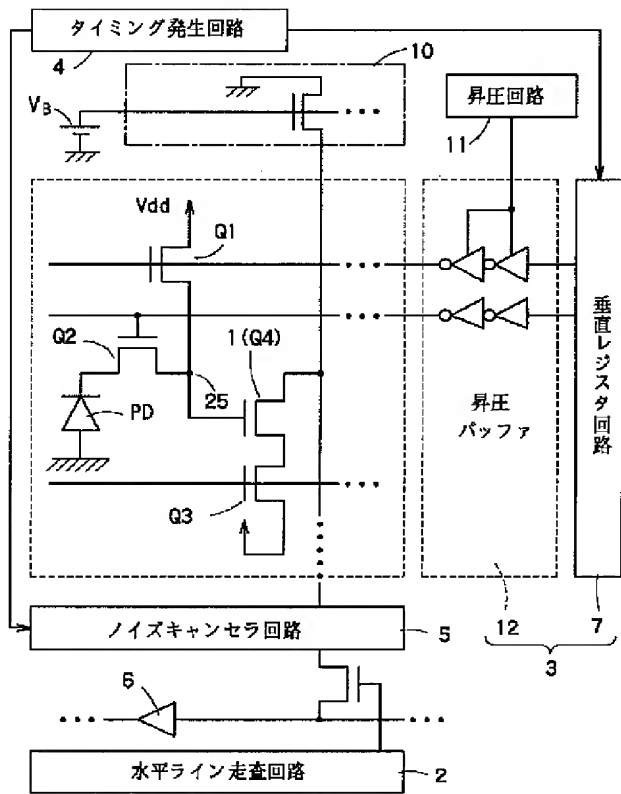
【図8】従来のCMOSイメージセンサの概略構成を示すブロック図。

【図9】従来のCMOSイメージセンサの動作タイミング図。

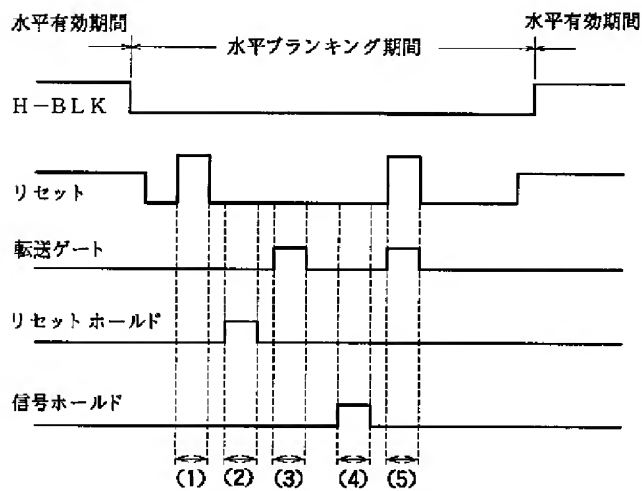
【符号の説明】

- 1 画素アンプ
- 2 水平ライン走査回路
- 3 垂直ライン走査回路
- 4 タイミング発生回路
- 5 ノイズキャンセラ回路
- 6 読み出し回路
- 7 タイミング発生回路
- 11 昇圧回路
- 12 昇圧バッファ
- Q1 リセット用トランジスタ
- Q2 転送用トランジスタ
- Q3 選択用トランジスタ
- Q4 画素アンプ用トランジスタ

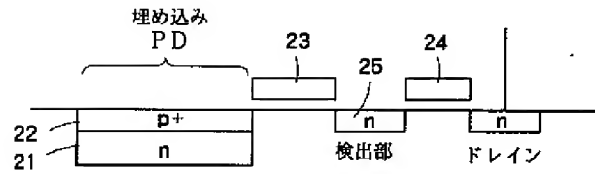
【図1】



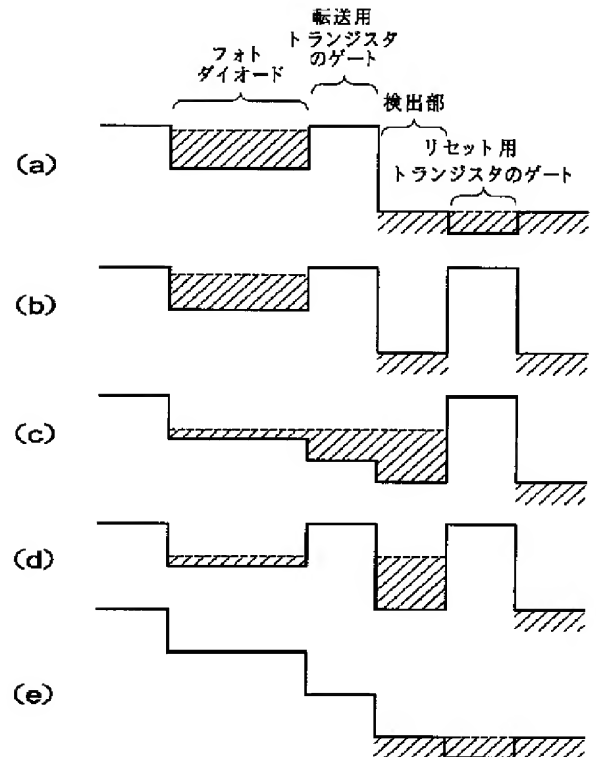
【図3】



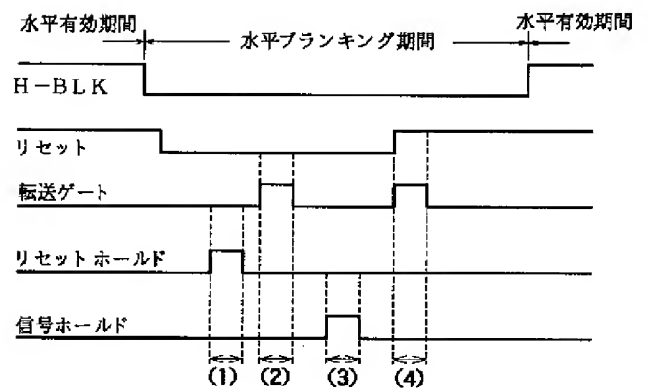
【図2】



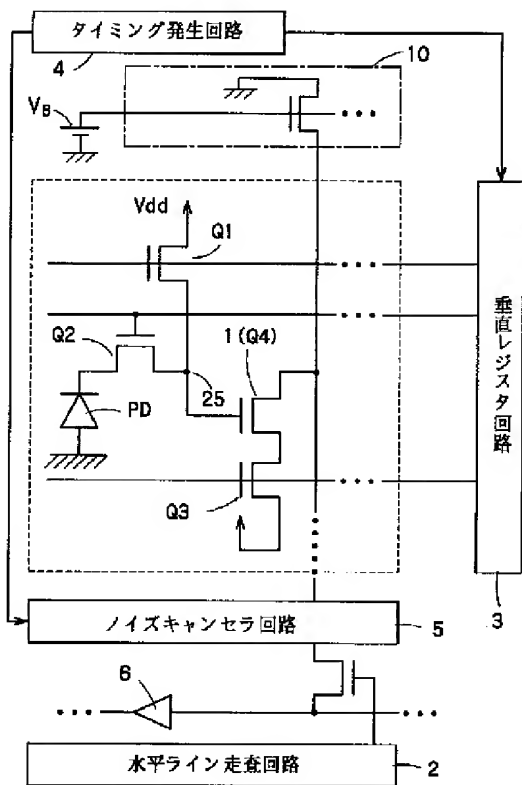
【図4】



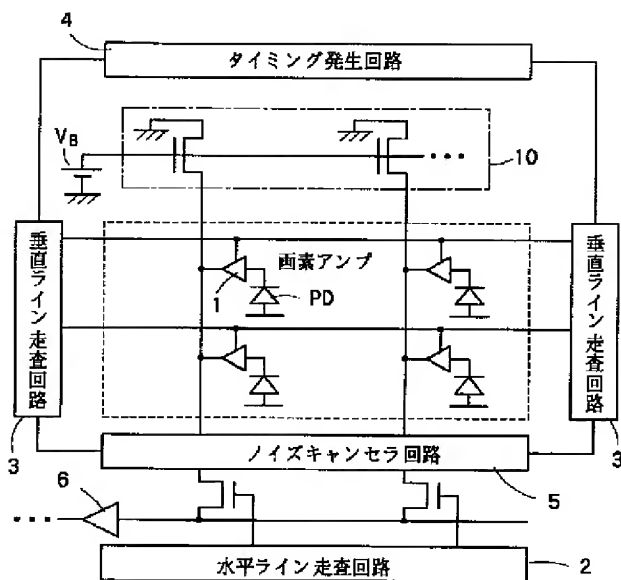
【図6】



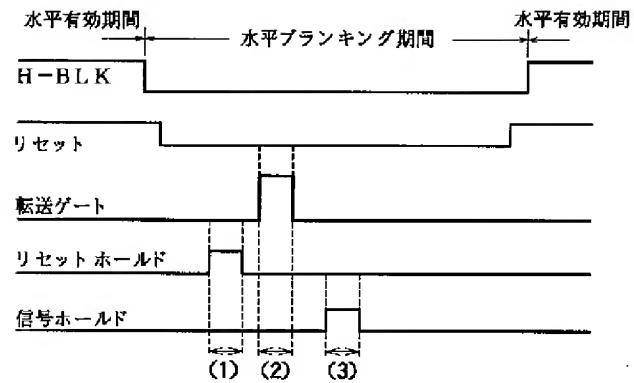
【図5】



【図8】



【図7】



【図9】

